

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-327068

(43)Date of publication of application : 08.12.1998

(51)Int.CI. H03L 7/06

(21)Application number : 09-148458

(71)Applicant : NEC CORP
NEC TELECOM SYST LTD

(22)Date of filing : 23.05.1997

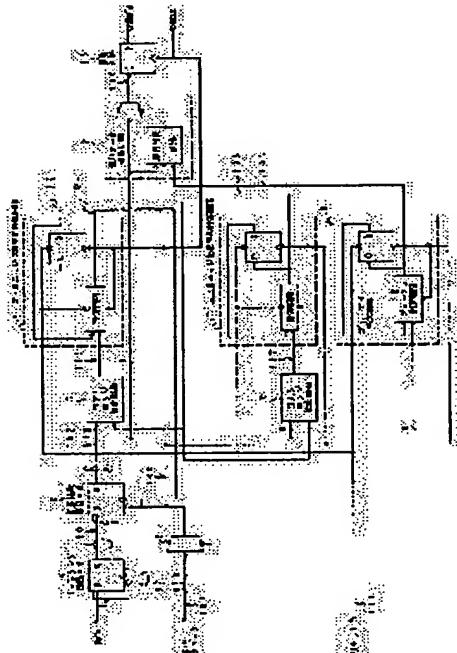
(72)Inventor : AOKI YASUSHI
SATO MASAKI
MURAKAMI JINKO
BABA MITSUO
MIKAMI KIYOSHI

(54) DIGITAL PLL CIRCUIT

(57)Abstract:

PROBLEM TO BE SOLVED: To output data for which identification re-timing is performed without errors without generating an error in the decision of the identification point of input data even for large duty fluctuation by measuring and recognizing a duty fluctuation amount inside a PLL circuit.

SOLUTION: An identification data selection circuit 9 decides the identification point from the leading edge average phase information 108 outputted by a leading edge phase average calculation circuit 7 and duty information 109 outputted by a duty judgement circuit 8 and selects the data corresponding to the decided identification point from phase compared data 102 outputted by a phase comparator circuit 2. In order to perform an operation so as to match the phase of the trailing edge of the data 102 and the phase of a selection clock 106 generated by an N:1 clock selection circuit 5, the identification point is decided by referring to the information 108 and 109. In an identification circuit 10, selected data outputted by the circuit 9 are re-timed by the selection clock 106 and outputted. Thus, data signals for which the duty fluctuation is large to be changed at random are identified and outputted.



LEGAL STATUS

[Date of request for examination] 23.05.1997

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3072833

[Date of registration] 02.06.2000

[Number of appeal against examiner's decision
of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-327068

(43) 公開日 平成10年(1998)12月8日

(51) Int.Cl.⁶

H 03 L 7/06

識別記号

F I

H 03 L 7/06

J

審査請求 有 請求項の数9 FD (全28頁)

(21) 出願番号 特願平9-148458

(22) 出願日 平成9年(1997)5月23日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(71) 出願人 000232106

日本電気テレコムシステム株式会社

神奈川県川崎市中原区小杉町1丁目403番地

(72) 発明者 青木 泰

東京都港区芝五丁目7番1号 日本電気株式会社内

(74) 代理人 弁理士 高橋 友二

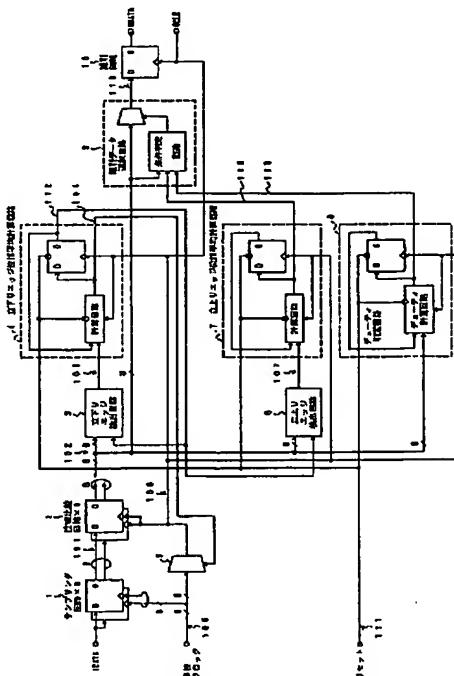
最終頁に続く

(54) 【発明の名称】 デジタルPLL回路

(57) 【要約】

【課題】 従来のデジタルPLL回路は、デューティ劣化が大きいデータをリタイミング、識別再生する場合、あるデューティ値を基準として±50%が限界になる。

【解決手段】 連続的に変化するデータの中から周期的な変化箇所でデータを取り込み、デューティ測定を行うデューティ判定回路8を備え、識別データ選択回路9で、立上りエッジ平均位相情報108とデューティ情報109によりデータ選択相を決定する。



【特許請求の範囲】

【請求項1】 入力データ信号と周波数がほぼ同一で位相が順次 $360^\circ/N$ (N は2以上の整数) づつずれたN相クロックを入力し、このN相クロックのうちどの相のクロックを選択するかを示す立下り平均位相情報に応じてこれらN相クロックを逐一的に選択した選択クロックを出力するクロック選択回路と、前記入力データ信号を前記N相クロックの各クロックによりサンプリングしてN個のサンプリングデータを生成するサンプリング回路と、前記サンプリング回路が出力するサンプリングデータの位相と、前記選択クロックの位相を比較をする位相比較回路と、前記位相比較回路が出力する位相比較後データを入力し、前記選択クロックを基準の第1相クロックとして以下順次第2相～第N相クロックとし、これら第1相～第N相クロックに対応して前記N個のサンプリングデータを並べ替えて第1相～第N相サンプリングデータとし、並べ替え後の第1相～第N相サンプリングデータを前記第1相クロックによりラッチし、各相のラッチ出力の互いに隣り合う相同士のレベルにより立上りエッジが存在する相の位置を検出して立下りエッジ情報を前記クロックの1周期毎に生成する立下りエッジ検出回路と、前記立下りエッジ情報を入力し、立下りエッジの個数の情報を前記1周期毎に生成し、この立下りエッジの個数の過去から現在までの平均値を前記1周期毎に算出して平均位相情報を計算し、立下り平均位相情報を出力する立下りエッジ位相平均計算回路と、前記位相比較後データを入力し、前記立下りエッジ検出回路と同様に動作して立上りエッジ情報を生成する立上りエッジ検出回路と、前記立上りエッジ情報を入力し、前記立下りエッジ位相平均計算回路と同様に動作して立上り平均位相情報信号を出力する立上りエッジ位相平均計算回路と、前記位相比較後データを入力し、前記入力データ信号のデューティを判定してデューティ情報を出力するデューティ判定回路と、前記立上りエッジ平均位相情報と前記デューティ情報をによりデータ選択相を決定し、前記位相比較後データから決定したデータ選択相に近いデータを選択し、選択後データを出力する識別データ選択回路と、前記選択後データを前記基準の第1相クロックによりリタイミングしてデータを出力する識別回路と、を備えたことを特徴とするディジタルPLL回路。

【請求項2】 入力データ信号と周波数がほぼ同一で位相が順次 $360^\circ/N$ (N は2以上の整数) づつずれたN相クロックを入力し、このN相クロックのうちどの相のクロックを選択するかを示す立下り平均位相情報に応じてこれらN相クロックを逐一的に選択した選択クロックを出力するクロック選択回路と、

前記入力データ信号を前記N相クロックの各クロックによりサンプリングしてN個のサンプリングデータを生成するサンプリング回路と、前記サンプリング回路が出力するサンプリングデータの位相と、前記選択クロックの位相を比較をする位相比較回路と、前記位相比較回路が出力する位相比較後データを入力し、前記選択クロックを基準の第1相クロックとして以下順次第2相～第N相クロックとし、これら第1相～第N相クロックに対応して前記N個のサンプリングデータを並べ替えて第1相～第N相サンプリングデータとし、並べ替え後の第1相～第N相サンプリングデータを前記第1相クロックによりラッチし、各相のラッチ出力の互いに隣り合う相同士のレベルにより立上りエッジが存在する相の位置を検出して立上りエッジ情報を前記クロックの1周期毎に生成する立上りエッジ検出回路と、前記立上りエッジ情報を入力し、立上りエッジの個数の情報を前記1周期毎に生成し、この立上りエッジの個数の過去から現在までの平均値を前記1周期毎に算出して平均位相情報を計算し、立上り平均位相情報を出力する立上りエッジ位相平均計算回路と、前記位相比較後データを入力し、前記立上りエッジ検出回路と同様に動作して立下りエッジ情報を生成する立下りエッジ検出回路と、前記立下りエッジ情報を入力し、前記立上りエッジ位相平均計算回路と同様に動作して立下り平均位相情報を出力する立下りエッジ位相平均計算回路と、前記位相比較後データを入力し、前記入力データ信号のデューティを判定してデューティ情報を出力するデューティ判定回路と、前記立下りエッジ平均位相情報を前記デューティ情報をによりデータ選択相を決定し、前記位相比較後データから決定したデータ選択相に近いデータを選択し、選択後データを出力する識別データ選択回路と、前記選択後データを前記基準の第1相クロックによりリタイミングしてデータを出力する識別回路と、を備えたことを特徴とするディジタルPLL回路。

【請求項3】 前記N相クロックの生成には、入力したクロックを多相化する遅延量可変な遅延回路と、この遅延回路が出力するクロックと入力クロックの位相を比較することにより遅延量の調整信号を前記遅延回路に出力する制御回路とで構成されるクロック多相化回路が用いられることを特徴とする請求項1乃至請求項2の何れかに記載のディジタルPLL回路。

【請求項4】 前記デューティ判定回路は、前記入力データ信号先頭の固定位置に位置する数ビットの「1」、「0」交番データを用いてデューティを判定することを特徴とする請求項1乃至請求項2の何れかに記載のディジタルPLL回路。

【請求項5】 前記デューティ判定回路は、

M (Mは2以上の整数) ビット分の前記「1」、「0」交番データを、前記サンプリング回路で前記N相クロックによりN相化し、前記位相比較回路で位相比較したM×N個の前記位相比較後データを入力し、「1」の個数または「0」の個数を数え、「1」または「0」の個数／(M×N) をデューティ情報とすることを特徴とする請求項1乃至請求項2の何れかに記載のディジタルPLL回路。

【請求項6】 前記デューティ判定回路は、Mビット分の前記「1」、「0」交番データを、前記サンプリング回路で前記N相クロックによりN相化し、前記位相比較回路で位相比較し、時間軸方向に連続したM×N個の前記位相比較後データを入力し、時間軸方向の順番においてM×N個の位相比較後データが、「0」から「1」、「1」から「0」に変化する位置の差分を、Mビット分平均したもの前記デューティ情報をすることを特徴とする請求項1乃至請求項2の何れかに記載のディジタルPLL回路。

【請求項7】 前記立下りエッジ位相平均計算回路および前記立上りエッジ位相平均計算回路は、前記入力データ信号先頭を受信した後、任意のビット間隔で追従速度(係数)を可変する手段を備えたことを特徴とする請求項1乃至請求項2の何れかに記載のディジタルPLL回路。

【請求項8】 前記識別データ選択回路は、前記立上りエッジ平均位相情報をと前記デューティ情報を入力して、固定的にデータ変化点の中心である相を選択相と決定し、前記位相比較後データの中から決定した選択相に近いデータを選択する手段を備えたことを特徴とする請求項1乃至請求項2の何れかに記載のディジタルPLL回路。

【請求項9】 前記識別データ選択回路は、前記立上りエッジ平均位相情報をと前記デューティ情報を入力して、データのエッジ数の条件に応じて選択相を決定し、前記位相比較後データの中から決定した選択相に近いデータを選択する手段を備えたことを特徴とする請求項1乃至請求項2の何れかに記載のディジタルPLL回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明はディジタルPLL回路に関し、特にデューティ変動とジッタを多く含むバースト状データ信号を受信する光通信システムの受信装置等に好適なディジタルPLL回路に関する。

【0002】

【従来の技術】バースト状ディジタルデータ信号に一般的なPLL回路を使用した場合、一般的なPLL回路は、位相誤差信号をLPFにて高周波成分を除去して平滑化した信号でVCOの発振周波数を制御し、入力データに対して位相引き込みを行っているため、周波数偏差

やデューティ変動、ジッタ等による大きな位相変動を有する入力に対しては、位相引き込み時間が長くなり、抽出クロックによる受信データのリタイミングの際に識別誤りを生じる。

【0003】このような問題を解決すべく、本願出願人はこの出願に先行する特許出願、特願平7-41132号「ディジタルPLL回路」を行っている。以下、これを先行出願と言う。図28は、この先行出願の構成を示す図である。

【0004】この先行出願は図28に示すように、バースト状データ信号と周波数が同一で位相が順次360度/N (Nは2以上の整数) づつずれたN相クロックのうちどの相のクロックを抽出するかを示す抽出信号に応じてこれらN相クロックを逐一抽出するクロックセレクタ287と、バースト状データ信号をN相クロックの各クロックによりサンプリングしてN個のサンプリングデータを生成し、抽出信号により示される抽出クロックを基準の第1相クロックとして以下順次第2相～第N相クロックとし、これら第1相～第N相クロックに対応してN個のサンプリングデータを並べ替えて第1相～第N相サンプリングデータとし、並べ替え後の第1相～第N相サンプリングデータを抽出された基準の第1相クロックによりラッチするデータサンプリング回路283と、各相のラッチ出力の互いに隣り合う相同士のレベルにより立下りエッジが存在する相の位置を検出して立下りエッジ位置情報をクロックの1周期毎に生成し、また立下りエッジ及び立上り個数を各々検出して立下り個数情報及び立上り個数情報を1周期毎に生成するエッジ検出回路284と、立下りエッジ位置情報を過去から現在までの平均値を1周期毎に算出して抽出信号として出力する立下りエッジカウンタ285と、並べ替え後の第1相～第N相サンプリングデータ、立下り個数情報、および立上り個数情報を基に、第1相～第N相サンプリングデータを1周期毎に逐一選択して導出し、選択した出力を基準の第1相クロックによりリタイミングするデータ識別リタイミング回路288とでディジタルPLL回路を構成する。

【0005】すなわち、バースト状のデータ信号と周波数が同一で位相が順次360度/N づつずれたN相クロックを生成しておき、これらのN相クロックの各々によりデータ信号をサンプリングし、これらの各サンプリングデータのうちエッジが平均的に検出されたサンプリングデータに対応する相のクロックを抽出クロックとして基準の第1相クロックとする。この第1相クロックを基準として、以下順次第2～第N相クロックとしてこれら第1～第N相クロックに対応してサンプリングデータを並べ替え、第1～第N相サンプリングデータとし、基準の第1相クロックでこれらの第1～第N相サンプリングデータをラッチする。

【0006】ラッチ後の第1～第N相データを基に、1

周期毎のバースト状受信データのパターンを識別し、ラッチされた第1～第N相サンプリングデータのうちから識別すべきデータを選択して基準の第1相クロックにより、この選択データをリタイミングして導出する。すなわちデータ信号到来後、数ビットの短時間で入力データに追従した抽出クロックを出力し、入力識別後に抽出クロックでリタイミングしたデータを出力する。このようにしてことでジッタ等が含まれていても、バースト状受信データの識別が速やかに行えるディジタルPLL回路が得られるというものである。

【0007】

【発明が解決しようとする課題】上述のようにバースト状ディジタルデータ信号に一般的なPLL回路を使用する場合、周波数偏差やデューティ変動、ジッタ等による大きな位相変動を有する入力に対しては、位相引き込み時間が長くなり、抽出クロックによる受信データのリタイミングの際に識別誤りを生じる。

【0008】また先行出願では、デューティ変動量が測定できないため、±5%以上の変動があった場合、デューティの判定を行うことができず、入力データを識別する識別点の決定にエラーが生じ、識別リタイミング時にエラーが生じる。さらにバースト毎に、位相、デューティ変動、ジッタ量が異なるバースト状のデータ信号を入力したときに、データ信号を識別できず出力データが識別エラーとなる。すなわちこのような信号を入力した場合、急速に立下り、立上り位相を決定し、その後のジッタに耐えうる追従やデューティの判定が行えず、クロックの抽出やデータの識別点の決定ができなくなり、識別リタイミングができなくなる等の問題点があった。

【0009】本発明はかかる問題点を解決するためになされたものであり、バースト毎にジッタ量とデューティ変動量が異なるバースト状データ信号を入力し、その信号の先頭から数ビットでクロックを抽出でき、データ信号をエラーなく識別できるディジタルPLL回路を提供することを目的としている。

【0010】

【課題を解決するための手段】本発明によるディジタルPLL回路は、入力データ信号と周波数がほぼ同一で位相が順次360度/N (Nは2以上の整数) づつずれたN相クロックを入力し、このN相クロックのうちどの相のクロックを選択するかを示す立下り平均位相情報に応じてこれらN相クロックを逐一的に選択した選択クロックを出力するクロック選択回路と、前記入力データ信号を前記N相クロックの各クロックによりサンプリングしてN個のサンプリングデータを生成するサンプリング回路と、前記サンプリング回路が出力するサンプリングデータの位相と、前記選択クロックの位相を比較をする位相比較回路と、前記位相比較回路が位相を出力する位相比較後データを入力し、前記選択クロックを基準の第1相クロックとして以下順次第2相～第N相クロックとし、これら第1相～第N相クロックに対応して前記N個のサンプリングデータを並べ替えて第1相～第N相サンプリングデータとし、並べ替え後の第1相～第N相サンプリングデータを前記第1相クロックによりラッチし、各相のラッチ出力の互いに隣り合う相同士のレベルにより立上りエッジが存在する相の位置を検出して立上りエッジ情報を前記クロックの1周期毎に生成する立上りエッジ検出回路と、前記立上りエッジ情報を入力し、立上りエッジの個数の情報を前記1周期毎に生成し、この立上りエッジの個数の過去から現在までの平均値を前記1周期毎に算出して平均位相情報を計算し、立上り平均位相情報を出力する立上りエッジ位相平均計算回路と、前記位相比較後データを入力し、前記立上りエッジ検出回路と同様に動作して立上りエッジ情報を生成する立上りエッジ検出回路と、前記立上りエッジ情報を入力し、前記立上りエッジ位相平均計算回路と同様に動作して立上り平均位相情報を出力する立上りエッジ位相平均計算回路と、前記位相比較後データを入力し、前記入力データ信号のデューティを判定してデューティ情報を出力するデューティ判定回路と、前記立上りエッジ平均位相情報を前記デューティ情報をによりデータ選択相を決定し、前記位相比較後データから決定したデータ選択相に近いデータを選択し、選択後データを出力する識別データ選択回路と、前記選択後データを前記基準の第1相クロックによりリタイミングしてデータを出力する識別回路とを備えたことを特徴とする。

【0011】また、入力データ信号と周波数がほぼ同一で位相が順次360度/N (Nは2以上の整数) づつずれたN相クロックを入力し、このN相クロックのうちどの相のクロックを選択するかを示す立下り平均位相情報に応じてこれらN相クロックを逐一的に選択した選択クロックを出力するクロック選択回路と、前記入力データ信号を前記N相クロックの各クロックによりサンプリングしてN個のサンプリングデータを生成するサンプリング回路と、前記サンプリング回路が出力するサンプリングデータの位相と、前記選択クロックの位相を比較をする位相比較回路と、前記位相比較回路が位相を出力する位相比較後データを入力し、前記選択クロックを基準の第1相クロックとして以下順次第2相～第N相クロックとし、これら第1相～第N相クロックに対応して前記N個のサンプリングデータを並べ替えて第1相～第N相サンプリングデータとし、並べ替え後の第1相～第N相サンプリングデータを前記第1相クロックによりラッチし、各相のラッチ出力の互いに隣り合う相同士のレベルにより立上りエッジが存在する相の位置を検出して立上りエッジ情報を前記クロックの1周期毎に生成する立上りエッジ検出回路と、前記立上りエッジ情報を入力し、立上りエッジの個数の情報を前記1周期毎に生成し、この立上りエッジの個数の過去から現在までの平均値を前記1周期毎に算出して平均位相情報を計算し、立上り平均位相情報を出力する立上りエッジ位相平均計算回路と、前記位相比較後データを入力し、前記入力データ信号のデューティを判定してデューティ情報を出力するデューティ判定回路と、前記立上りエッジ平均位相情報を前記デューティ情報をによりデータ選択相を決定し、前記位相比較後データから決定したデータ選択相に近いデータを選択し、選択後データを出力する識別データ選択回路と、前記選択後データを前記基準の第1相クロックによりリタイミングしてデータを出力する識別回路とを備えたことを特徴とする。

【0012】また、入力データ信号と周波数がほぼ同一で位相が順次360度/N (Nは2以上の整数) づつずれたN相クロックを入力し、このN相クロックのうちどの相のクロックを選択するかを示す立下り平均位相情報に応じてこれらN相クロックを逐一的に選択した選択クロックを出力するクロック選択回路と、前記入力データ信号を前記N相クロックの各クロックによりサンプリングしてN個のサンプリングデータを生成するサンプリング回路と、前記サンプリング回路が出力するサンプリングデータの位相と、前記選択クロックの位相を比較をする位相比較回路と、前記位相比較回路が位相を出力する位相比較後データを入力し、前記選択クロックを基準の第1相クロックとして以下順次第2相～第N相クロックとし、これら第1相～第N相クロックに対応して前記N個のサンプリングデータを並べ替えて第1相～第N相サンプリングデータとし、並べ替え後の第1相～第N相サンプリングデータを前記第1相クロックによりラッチし、各相のラッチ出力の互いに隣り合う相同士のレベルにより立上りエッジが存在する相の位置を検出して立上りエッジ情報を前記クロックの1周期毎に生成する立上りエッジ検出回路と、前記立上りエッジ情報を入力し、立上りエッジの個数の情報を前記1周期毎に生成し、この立上りエッジの個数の過去から現在までの平均値を前記1周期毎に算出して平均位相情報を計算し、立上り平均位相情報を出力する立上りエッジ位相平均計算回路と、前記位相比較後データを入力し、前記入力データ信号のデューティを判定してデューティ情報を出力するデューティ判定回路と、前記立上りエッジ平均位相情報を前記デューティ情報をによりデータ選択相を決定し、前記位相比較後データから決定したデータ選択相に近いデータを選択し、選択後データを出力する識別データ選択回路と、前記選択後データを前記基準の第1相クロックによりリタイミングしてデータを出力する識別回路とを備えたことを特徴とする。

報を出力する立上りエッジ位相平均計算回路と、前記位相比較後データを入力し、前記立上りエッジ検出回路と同様に動作して立下りエッジ情報を生成する立下りエッジ検出回路と、前記立下りエッジ情報を入力し、前記立上りエッジ位相平均計算回路と同様に動作して立下り平均位相情報信号を出力する立下りエッジ位相平均計算回路と、前記位相比較後データを入力し、前記入力データ信号のデューティを判定してデューティ情報を出力するデューティ判定回路と、前記立下りエッジ平均位相情報と前記デューティ情報をによりデータ選択相を決定し、前記位相比較後データから決定したデータ選択相に近いデータを選択し、選択後データを出力する識別データ選択回路と、前記選択後データを前記基準の第1相クロックによりリタイミングしてデータを出力する識別回路とを備えたことを特徴とする。

【0012】また前記N相クロックの生成には、入力したクロックを多相化する遅延量可変な遅延回路と、この遅延回路が outputするクロックと入力クロックの位相を比較することにより遅延量の調整信号を前記遅延回路に出力する制御回路とで構成されるクロック多相化回路が用いられることを特徴とする。

【0013】また前記デューティ判定回路は、前記入力データ信号先頭の固定位置に位置する数ビットの「1」、「0」交番データを用いてデューティを判定することを特徴とする。

【0014】また前記デューティ判定回路は、M(Mは2以上の整数)ビット分の前記「1」、「0」交番データを、前記サンプリング回路で前記N相クロックによりN相化し、前記位相比較回路で位相比較したM×N個の前記位相比較後データを入力し、「1」の個数または「0」の個数を数え、「1」または「0」の個数/(M×N)をデューティ情報をすることを特徴とする。

【0015】また前記デューティ判定回路は、Mビット分の前記「1」、「0」交番データを、前記サンプリング回路で前記N相クロックによりN相化し、前記位相比較回路で位相比較し、時間軸方向に連続したM×N個の前記位相比較後データを入力し、時間軸方向の順番においてM×N個の位相比較後データが、「0」から「1」、「1」から「0」に変化する位置の差分を、Mビット分平均したものを前記デューティ情報をすることを特徴とする。

【0016】また前記立下りエッジ位相平均計算回路および前記立上りエッジ位相平均計算回路は、前記入力データ信号先頭を受信した後、任意のビット間隔で追従速度(係数)を可変する手段を備えたことを特徴とする。

【0017】また前記識別データ選択回路は、前記立上りエッジ平均位相情報と前記デューティ情報を入力して、固定的にデータ変化点の中心である相を選択相と決定し、前記位相比較後データの中からセントライズ選択方式で決定した選択相に近いデータを選択する手段を備

えたことを特徴とする。

【0018】さらに前記識別データ選択回路は、前記立上りエッジ平均位相情報と前記デューティ情報を入力して、データのエッジ数の条件に応じて選択相をアダプティブ選択方式で決定し、前記位相比較後データの中から決定した選択相に近いデータを選択する手段を備えたことを特徴とする。

【0019】本発明のディジタルPLL回路は上述のような構成において、バースト状の入力データ信号に大きなデューティ変動が生じた場合に、デューティ判定回路で、バースト状の入力データから、先頭の「1」、

「2」交番に動作するデータを抽出し、その部分のデータよりデューティ情報を判定する。そして識別データ選択回路により、デューティ判定回路から出力されたデューティ情報と、立上りエッジ位相平均計算回路から出力された立上り位相エッジ平均位相情報を用いてデータをリタイミングする相を決定し、位相比較回路から出力された位相比較後データを、前記の条件で決定した相で選択する。最後に識別回路での選択後データをリタイミングすることとしたため、ランダムに変化する入力データに大きなデューティ変動が生じても、入力データを識別し出力することが可能となる。

【0020】また、バースト状の入力データ信号にジッタが生じた場合に、立下りエッジ位相平均計算回路と立上りエッジ位相平均計算回路で、立下り、立上り両エッジの位相を平均化し、その情報とデューティ情報を用いてクロック抽出とデータ識別を行うこととしたため、入力データ信号にエラーが存在しても、エラーすることなく識別リタイミングが可能となる。

【0021】さらに、バースト毎に位相、デューティ変動、ジッタ量が異なるバースト状のデータ信号を入力した場合に、立下りエッジエッジ位相平均計算回路と立上りエッジエッジ位相平均計算回路で、任意のビット間隔で追従速度を可変できるようにしたため、バースト状のデータの先頭では、追従速度を高速にして立下りエッジ平均位相情報を立上りエッジ平均位相情報を計算し、入力データに追従できるようにし、データの後半では、追従速度を低速にしてジッタの耐力を大きくすることで、エラーのないデータ識別が可能となる。

【0022】

【発明の実施の形態】

(第1の実施形態)以下、本発明の実施形態を図面を参考して説明する。図1は、本発明のディジタルPLL回路の第1の実施形態を示すブロック図である。図において、1はサンプリング回路、2は位相比較回路、3は立下りエッジ検出回路、4は立下りエッジ位相平均計算回路、5はN:1クロック選択回路(単にクロック選択回路とも言う)、6は立上りエッジ検出回路、7は立上りエッジ位相平均計算回路、8はデューティ判定回路、9は識別データ選択回路、10は識別回路である。また1

01はサンプリングデータ、102は位相比較後データ、103は立下りエッジ情報、104は立下りエッジ平均位相情報、105は多相クロック、106は選択クロック、107は立上りエッジ情報、108は立上りエッジ平均位相情報、109はデューティ情報、110は選択後データ、111は入力データ信号の先頭を示すリセット信号である。

【0023】サンプリング回路1でデータを入力し、多相クロック105を用いて位相サンプリングを行う。次に位相比較回路2で、サンプリング回路1から出力されるサンプリングデータ101と、N：1クロック選択回路5が outputする選択クロック106を入力して位相比較を行う。次に立下りエッジ検出回路3で、位相比較回路2が outputする位相比較後データ102より、立下りエッジを検出する。次に立下りエッジ位相平均計算回路4で、立下りエッジ検出回路3が outputする立下りエッジ情報103より、立下りエッジ位相の平均値を算出する。N：1クロック選択回路5では、立下りエッジ位相平均計算回路4が outputする立下りエッジ平均位相情報104より、多相クロックの中から選択クロック106を選択する。

【0024】また立上りエッジ検出回路6では、位相比較回路2が outputする位相比較後データ102より立上りエッジを検出する。次に立上りエッジ位相平均計算回路7では、立上りエッジ検出回路6が outputする立上りエッジ情報107より立上りエッジ位相の平均値を算出する。またデューティ判定回路8では、位相比較回路2が outputする位相比較後データ102より、デューティ値を判定する。次に識別データ選択回路9では、立上りエッジ位相平均計算回路7が outputする立上りエッジ平均位相情報108と、デューティ判定回路8が outputするデューティ情報109より識別点を決定し、位相比較回路2が outputする位相比較後データ102より、決定した識別点に従いデータを選択する。識別回路10では、識別データ選択回路9が outputする選択後データ110を、N：1クロック選択回路5が outputする選択クロックでリタイミングし、出力する。

【0025】なお、サンプリング回路1、位相比較回路2は記憶手段で形成され、立下りエッジ検出回路3、立上りエッジ検出回路6は、位相検出手段で形成される。また立下りエッジ位相平均計算回路4、立上りエッジ位相平均計算回路7、デューティ判定回路8は、計算回路と、計算結果を記憶し計算回路に値を帰還する記憶手段とで形成される。さらにN：1クロック選択回路2、識別データ選択回路9には選択回路が用いられ、識別回路10は記憶手段で形成される。

【0026】次に図1に示す実施形態の動作について説明する。サンプリング回路1でランダムな変化をするデータを入力し、多相クロック105を用いて多相化する。次に位相比較回路2で、サンプリング回路1により

多相化されたサンプリングデータ101と、N：1クロック選択回路5が outputする選択クロック106を入力して、位相比較を行い、現在の選択クロック106の位相と、IDATAより入力したデータの位相との差分を出力する。

【0027】次に立下りエッジ検出回路3で、位相比較回路2が outputする位相比較後データ102より、立下りエッジを検出する。ここで検出された立下りエッジ情報103は、N：1クロック選択回路2が outputする選択クロック106と、IDATAより入力したデータの立下りエッジ位相の差分を示す。次に立下りエッジ位相平均計算回路4で、立下りエッジ検出回路3が outputする立下りエッジ情報103と、立下りエッジ平均計算回路4の内部の記憶手段が記憶した直前までの立下りエッジ平均位相情報を用いて、立下りエッジの平均値を計算手段で算出する。

【0028】N：1クロック選択回路5では、立下りエッジ位相平均計算回路4が outputする立下りエッジ平均位相情報104より、入力データの立下り位相の平均位相に最も近い位相のクロックを多相クロックの中から選択する。

【0029】立上りエッジ検出回路6では、位相比較回路2が outputする位相比較後データ102より、立上りエッジを検出する。ここで検出された立上りエッジ情報107は、N：1クロック選択回路5が outputする選択クロックと、IDATAより入力したデータの立上りエッジ位相の差分を示す。次に立上りエッジ位相平均計算回路7で、立上りエッジ検出回路6が outputする立上りエッジ情報107と、立上りエッジ平均計算回路7の内部の記憶手段が記憶した直前までの立上りエッジ平均位相情報を用いて、立上りエッジの平均値を計算手段で算出する。

【0030】デューティ判定回路8では、位相比較回路2が outputする位相比較後データ102よりバースト状入力データ先頭に位置する「1」、「0」交番データを抽出し、「1」である区間、「0」である区間を計算し、入力データのデューティ情報109を検出する。検出されたデューティ情報109は、デューティ判定回路8の内部の記憶手段に、次に周波数成分が一定に変化するデータ区間を検出するまで、保持される。

【0031】識別データ選択回路9では、立上りエッジ位相平均計算回路7が outputする立上りエッジ平均位相情報108と、デューティ判定回路8が outputするデューティ情報109より識別点を決定し、位相比較回路2が outputする位相比較後データ102より、決定した識別点に従いデータを選択する。位相比較後データの立下りエッジの位相と、N：1クロック選択回路5が发生する選択クロックの位相が一致するように動作するため、ここでは立上りエッジ平均位相情報108とデューティ情報109を参照して、識別点が決定される。識別回路10で

は、識別データ選択回路9が出力する選択後データを、N：1クロック選択回路5が出力する選択クロック106でリタイミングし、出力する。以上のとうな動作により、デューティ変動が大きく、かつランダムな変化をするデータ信号を識別して出力することができる。

【0032】(第1の実施例)図2は、本発明の第1の一実施例を示す図である。以下、図2を参照して本発明の一実施例を説明する。8個のフリップフロップにより構成されたサンプリング回路1では、データを入力し、クロック多相化回路(図2では図示せず)で発生する8相クロックを用いて位相サンプリングを行う。次に8個のフリップフロップで構成された位相比較回路2で、サンプリング回路1から出力される8本のサンプリングデータと、N：1クロック選択回路5が出力する選択クロック106を入力して位相比較を行う。

【0033】次に組合せ回路により構成される立下りエッジ検出回路3で、位相比較回路2が输出する8本の位相比較後データ102と、立下りエッジ位相平均計算回路4が输出する立下りエッジ平均位相情報112より、前回までの立下りエッジ平均位相情報との差分を示す、立下りエッジ情報103を検出する。次に組合せ回路による計算回路とフリップフロップによる記憶回路で構成される立下りエッジ位相平均計算回路4で、立下りエッジ検出回路3が输出する立下りエッジ情報103より、立下りエッジ位相の平均値を算出する。セレクタ回路とタイミング回路とにより構成されるN：1クロック選択回路2では、立下りエッジ位相平均算出回路4が输出する立下りエッジ平均位相情報104より、8相の多相クロック105の中から選択クロック106を選択する。

【0034】組合せ回路により構成される立上りエッジ検出回路6では、位相比較回路2が输出する8本の位相比較後データ102と、立下りエッジ位相平均計算回路4が输出する前回までの立下りエッジ平均位相情報112より、立上りエッジ情報107を検出する。この実施例では、立下りエッジの位相を基準として動作するため、立上りエッジの位相は、立下りエッジ平均位相情報112との差分で示される。次に組合せ回路による計算回路とフリップフロップによる記憶回路で構成される立上りエッジ位相平均計算回路7では、立上りエッジ検出回路6が输出する立上りエッジ情報107より立上りエッジ位相の平均値を算出する。

【0035】組合せ回路による計算回路とフリップフロップによる記憶回路で構成されるデューティ判定回路8では、位相比較回路2が输出する8本の位相比較後データより、デューティ値を検出する。

【0036】セレクタ回路と条件判定回路により構成される識別データ選択回路9では、立上りエッジ位相平均計算回路7が输出する立上りエッジ平均位相情報108と、デューティ判定回路8が输出するデューティ情報109より、位相比較回路2が输出する8相分の位相比較

後データ102のうち、識別点として最も最適と思われるデータを選択する。フリップフロップにより構成される識別回路10では、識別データ選択回路9が输出する選択後データ110を、N：1クロック選択回路2が输出する選択クロックでリタイミングし、出力する。

【0037】図3は、図2に示す立下りエッジ検出回路3の一実施例を示す図である。立下りエッジ検出回路は、位相比較後データ102の並び替えを行う8：1セレクタ回路301-1～301-8、これらのセレクタ回路から出力されるデータより、立下りエッジを検出するインバータ回路302-1～302-8、アンド回路303-1～303-8で構成される。

【0038】図4は、図2に示す立下りエッジ位相平均計算回路4の一実施例を示す図である。立下りエッジ位相平均計算回路4は、立下りエッジ情報を入力し、回路内部で計算可能な形式に変換し且つ立下りエッジの有無情報S502を出力するエンコーダ502、このエンコーダ502より出力された立下りエッジ情報を、 $1/m$ ($m < n$) に除算する $1/m$ 除算器503、同じように $1/n$ に除算する $1/n$ 除算器504、バースト状のデータ信号の先頭を示すリセット信号111によりリセットされ、エンコーダ502が输出する立下りエッジ有無情報S502により、立下りエッジ数を数え、立下りエッジ数によって出力カウンタ値S503を出力させるエッジ数カウンタ505、エッジ数カウンタ505からの値に従い、エンコーダ502、 $1/m$ 除算器503、 $1/n$ 除算器504が输出する係数が異なる立下りエッジ情報を選択するセレクタ回路506、セレクタ回路506からの値と前回までの立下りエッジ平均位相情報を加算する加算器507、バースト状のデータ信号の先頭を示すリセット信号111によりリセットされ、選択クロック106により加算器507から出力される平均計算結果S504を記憶するフリップフロップ509、加算器507の平均計算結果S504を四捨五入して $n : 1$ クロック選択回路が受信可能な形式に変換して出力する四捨五入回路508により構成される。

【0039】図5は、図2に示す立上りエッジ検出回路6の一実施例を示す図である。立上りエッジ検出回路は、位相比較後データ102の並び替えを行う8：1セレクタ回路701-1～701-8、これらのセレクタ回路から出力されるデータより立上りエッジを検出する、インバータ回路702-1～702-8、アンド回路703-1～703-8で構成される。

【0040】図6は、図2に示す立上りエッジ位相平均計算回路7の一実施例を示す図である。図6に示すように立上りエッジ位相平均計算回路7は、立上りエッジ情報を入力し、回路内部で計算可能な形式に変換し且つ立上りエッジの有無情報S902を出力するエンコーダ902、このエンコーダ902より出力された立上りエッジ情報から記憶回路910が输出する前回までの立上り

エッジ平均位相情報を計算する減算器909、減算器909が output 値を $1/m$ ($m < n$) に除算する $1/m$ 除算器903、同じように $1/n$ に除算する $1/n$ 除算器904、バースト状のデータ信号の先頭を示すリセット信号111によりリセットされ、エンコーダ902が output 値を立上りエッジ有無情報S902により、立上りエッジ数を数え、立上りエッジの数によって出力カウンタ値S903を出力させるエッジ数カウンタ905、エッジ数カウンタ905からの値に従い、減算器909、 $1/m$ 除算器903、 $1/n$ 除算器904が output 値を出力する係数が異なる差分情報を選択するセレクタ回路906、セレクタ回路906からの値と前回までの立下りエッジ平均位相情報を加算する加算器907、バースト状のデータ信号の先頭を示すリセット信号111によりリセットされ、選択クロック106により加算器907から出力される平均計算結果S903を記憶するフリップフロップ910、加算器907の平均計算結果S903を四捨五入して出力する四捨五入回路908により構成される。

【0041】図7は、図2に示すデューティ判定回路8の一実施例を示す図である。このデューティ判定回路は、M (Mは2以上の整数) ビット分の「1」または「0」の交番データを、位相比較後データ102を入力し、「1」の個数または「0」の個数を数え、「1」または「0」の個数/ $(N \times M)$ をデューティ情報109とする。すなわち図7に示すようにデューティ判定回路8は、選択クロック106により8相の位相比較後データ102を4ビット分記憶する8相×4ビット記憶用シフトレジスタ1102、8相×4ビット記憶用シフトレジスタ1102が output 値を出力するデータから「1」の個数を数える「1」状態カウンタ1103、「1」状態カウンタ1103から出力される結果値を $1/(8 \times 4)$ してデューティ情報を出力する $1/(8 \times 4)$ 減算器1104、バースト状のデータ信号の先頭を示すリセット信号111によりリセットされ、データ数をカウントし、カウント値によりデューティ情報の記憶を指示する記憶指示信号S1101を出力するデータ数カウンタ1105、 $1/(8 \times 4)$ 減算器1104が output 値を出力するデューティ情報を記憶するか、フリップフロップ1107が記憶したデューティ情報109を記憶し続けるかを選択するセレクタ回路1106、バースト状のデータ信号の先頭を示すリセット信号111によりリセットされ、選択クロックによりセレクタ回路1106が output 値を出力するデューティ情報を記憶するフリップフロップ1107により構成される。

【0042】(第2の実施例) 図8は、本発明の第2の実施例を示す図である。この実施例では、デューティ判定回路8は、立下りエッジ検出回路3から立下りエッジ情報103を、立上りエッジ検出回路6から立上りエッジ情報107を入力する構成としている。

【0043】図9は、図8に示すデューティ判定回路8の一実施例を示す図である。このデューティ判定回路は、Mビット分の「1」、「0」交番データを、サンプリング回路2でN相クロックによりN相化し、位相比較回路3で位相比較し、立下りエッジ検出回路3および立上りエッジ検出回路6からの時間軸方向に連続したM×N個の位相比較後データを入力し、時間軸方向の順番においてM×N個の位相比較後データが、「0」から「1」、「1」から「0」に変化する位置 (1～M×Nの内の数) の差分を、Mビット分平均したものデューティ情報をとする。すなわち選択クロック106により立下りエッジ情報103と立上りエッジ情報107を4ビット分記憶する8相×4ビット記憶用シフトレジスタ1302、立下りエッジ情報を記憶した8相×4ビット記憶用シフトレジスタ1302が output 値を出力する後半2ビットのデータから立下りエッジの位相をエンコードする立下りエッジ検出エンコーダ1303、立上りエッジ情報を記憶した8相×4ビット記憶用シフトレジスタ1302が output 値を出力する後半2ビットのデータから立上りエッジの位相をエンコードする立上りエッジ検出エンコーダ1304、立下りエッジ情報を記憶した8相×4ビット記憶用シフトレジスタ1302が output 値を出力する前半2ビットのデータから立下りエッジの位相をエンコードする立下りエッジ検出エンコーダ1305、立上りエッジ情報を記憶した8相×4ビット記憶用シフトレジスタ1302が output 値を出力する前半2ビットのデータから立上りエッジの位相をエンコードする立上りエッジ検出エンコーダ1306、S1308を入力し、立上りエッジ情報を記憶する減算器1307、2個の減算器1307からデューティ情報を入力し、その平均値を計算する平均回路1308、バースト状のデータ信号の先頭を示すリセット信号111によりリセットされ、データ数をカウントし、カウント値によりデューティ情報の記憶を指示する記憶指示信号S1301を出力するデータ数カウンタ1309、平均回路1308が output 値を出力するデューティ情報を記憶するか、フリップフロップ1311が記憶したデューティ情報109を記憶し続けるかを選択するセレクタ回路1310、バースト状のデータ信号の先頭を示すリセット信号111によりリセットされ、選択クロック106によりセレクタ回路1310が output 値を出力するデューティ情報を記憶するフリップフロップ1311により構成される。

【0044】図10は、識別データ選択回路9の一実施例を示す図である。図10に示す識別データ選択回路9は、位相比較後データ102よりエッジ数をカウントするエッジ数カウンタ1502、位相比較後データ102より選択クロック106の1周期を基準としてエッジが

2個存在する場合の選択相をデコードするエッジデコーダ1503、立上りエッジ平均位相情報108とデューティ情報109より、選択クロック106の1周期を基準として、立上りエッジが1個存在する場合の選択相をデコードする立上りエッジリタイミング位置決定回路1504、エッジ数カウンタ1502が出力するエッジ数情報S1502、エッジデコーダ1503が出力するデコード情報S1503、立上りエッジリタイミング位置決定回路1504が出力するリタイミング位置情報S1504より選択相を決定するセレクト信号作成回路1505、セレクト信号作成回路1505が出力する選択情報S1501により、8相の位相比較後データ102から1相を選択するセレクタ回路1506により構成される。

【0045】図11は、識別データ選択回路9の他の実施例を示す図である。図11に示す識別データ選択回路は、立上りエッジ位相平均情報108、デューティ情報109より選択相を決定し出力する条件判定回路1701、条件判定回路1701が出力する選択相情報S1701により8相の位相比較後データ102から1相を選択するセレクタ回路1702により構成されている。

【0046】図12は、N：1クロック選択回路5の実施例を示す図である。図12に示すようにN：1クロック選択回路5は、立下りエッジ位相平均計算回路4からの立下りエッジ平均位相情報104を選択クロックによりリタイミングするDフリップフロップ1901、1904、1907、1910、1913、1916、1919、1922、リタイミングした立下りエッジ平均位相情報により多相クロック105から1相を選択する選択回路1902-1903、1905-1906、1908-1909、1911-1912、1914-1915、1917-1918、1920-1921、1923-1924、1925により構成されている。

【0047】(実施例の動作) 次に、実施例の動作について図2を中心として詳細に説明する。サンプリング回路1でランダムな変化をするデータを入力し、クロック多相化回路(図2では図示せず)で発生する8相クロックを用いてサンプリングデータを8相に多相化する。位相比較回路2は、8相に多相化したサンプリングデータとN：1クロック選択回路5が出力する選択クロック106を入力して、位相比較を行い、現在の選択クロックの位相と、IDATAより入力したデータの位相との差分を出力する。

【0048】立下りエッジ検出回路3では、位相比較回路2が出力する位相比較後データ102と、立下りエッジ位相平均計算回路4が出力する立下りエッジ平均位相情報112より、立下りエッジ情報103を検出する。ここで検出された立下りエッジ情報103は、N：1クロック選択回路5が出力する選択クロックと、IDATAより入力したデータの立下りエッジ位相の差分を示す。

す。

【0049】次に立下りエッジ位相平均計算回路4で、立下りエッジ検出回路3が出力する立下りエッジ位相と、平均計算回路4の内部のフリップフロップが記憶した直前までの立下りエッジ平均位相情報112を用いて、立下りエッジの平均値を計算回路で算出する。図4に示す立下りエッジ位相平均計算回路4では、先ず図4に示すエンコーダ502で立下りエッジ情報103を計算できる形式に変換する。その論理を図13に示す。

【0050】次にエンコーダ502から出力された立下り位相情報に対して、図4に示す $1/m$ 除算器503、 $1/n$ 除算器504で除算を行う。エッジ数カウンタは、バースト状のデータの先頭を示すリセット信号111でリセットされ、エンコーダ502が出力する立下りエッジ有無情報により、立下りエッジを受信した回数をカウントしてセレクタ回路506に通知する。この様子を図14に示す。図4に示すセレクタ部506では、エッジ数カウンタ505から入力したカウント値S503で、1倍、 $1/m$ 倍、 $1/n$ 倍の立下り情報を選択する。この実施例では、バースト状データの先頭に近い程、倍率が大きく、先頭から遠ざかると倍率が小さくなり、最後に0倍に変化する。これはバースト状のデータの先頭に近い程、立下りエッジ平均位相情報104を急速に入力データに近づけ、先頭から遠ざかるに従い追従性を小さくして、ジッタ耐力を確保するためである。

【0051】次に図4に示す加算器507で、セレクタ回路506の出力の立下りエッジ平均位相情報104とフリップフロップ509が出力する前回までの立下りエッジ平均位相情報112とを加算する。この加算結果が立下りエッジの平均位相情報の変換前の値である。通常この値は、小数点以下の値を有する。従って最後に四捨五入回路508で、小数点以下を四捨五入し、N：1クロック選択回路5が入力できる形式に変換して出力する。この四捨五入の様子を図15に示す。

【0052】図12に示すようにセレクタ回路とリタイミング回路とで構成されるN：1クロック選択回路5では、立下りエッジ位相平均計算回路4が出力する立下りエッジ平均位相情報104より、入力データの立下り位相の平均位相に最も近い位相のクロックを、8相の多相クロックの中から選択する。

【0053】次に立上りエッジ検出回路6では、位相比較回路2が出力する位相比較後データ102と、立下りエッジ位相平均計算回路4が出力する立下りエッジ平均位相情報112より、立上りエッジ情報107を検出する。ここで検出された立上りエッジ情報107は、立下りエッジ平均位相情報104を基準にして、N：1クロック選択回路5が出力する選択クロックと、IDATAより入力したデータの立上りエッジ位相の差分を示す。

【0054】次に立上りエッジ位相平均計算回路7で、立上りエッジ検出回路6が出力する立上りエッジ位相

と、立上りエッジ平均計算回路7の内部のフリップフロップが記憶した直前までの立上りエッジ平均位相情報を用いて、立上りエッジの平均値を計算回路で算出する。図4と図6の比較で明らかなように、立上りエッジ位相平均計算回路7と立下りエッジ位相平均計算回路4との違いは、減算器909が存在することである。この減算器909を設けている理由は、立上りエッジ情報107が立下りエッジ平均位相情報104との相対値で示され、立下りエッジのように直前までの立上りエッジ平均位相情報との差分を計算する機能が他の回路中にはないからである。

【0055】次にデューティ判定回路8の動作であるが、図7に示すデューティ判定回路では、位相比較回路2が出力する位相比較後データ106と、バースト状データの先頭を示すリセット信号111により、入力データの先頭に位置する「1」、「2」交番データを抽出し、計算回路で「1」である時間、「0」である時間を計算し、入力データのデューティ情報を検出する。入力データのデューティの定義を図16に示す。入力データ1が100%の場合であり、入力データ2が100%を越す場合、入力データ3が100%未満の場合である。デューティ判定は、まず先頭より8相×4ビット分の位相比較後データを抽出クロック106に従い、8相×4ビット記憶用シフトレジスタ1102に記憶させる。次に「1」状態カウントで記憶したデータ中の「1」の個数を数える。次に $1/(8 \times 4)$ して、これをデューティ情報とする。エッジカウンタ1105、セレクタ回路1106、記憶回路1107の動作により、バースト状データの先頭「1」、「2」交番データのデューティ情報を記憶する。図17は、データ数カウンタ1105の動作を示す。このデューティ情報は、次のバースト状データの先頭を示すリセット信号111を入力するまで、保持される。

【0056】また図9に示すデューティ判定回路の他の実施例では、立下りエッジ情報103と立上りエッジ情報107を入力して、8相×4ビット分の情報を抽出クロック106に従い記憶させる。その結果を立上りエッジ検出エンコーダ1303、1305、立上りエッジ検出エンコーダ1304、1306でデューティ判定に用いる形式に変換する。その様子を図18に示す。

【0057】次に、図9に示す2つの減算器1307でデューティ情報を計算し、最後に2回の算出結果の平均を算出し、デューティ情報をとする。エッジカウンタ1309、セレクタ回路1310、記憶回路1311でデューティ情報を記憶させる手段は、図7に示す上述のデューティ判定回路と同じである。以上の様子を図19のタイミングチャートで示す。

【0058】次に識別データ選択回路9の動作について説明する。図10に示す識別データ選択回路では、立上りエッジ位相平均計算回路7が出力する立上りエッジ平

均位相情報108とデューティ情報109より、選択クロック106の1周期を基準として、識別データ選択回路9内部の条件判定回路で位相比較回路2が出力する8相の位相比較後データの中から選択する位相を決定し、識別データ選択回路9内部のセレクタ回路で、データを選択する。図10に示した構成では、抽出クロック106の周期に対して、図20のように、IDATA-1、IDATA-2のエッジなし、IDATA-3の立下りエッジ1回、IDATA-4の立上りエッジ1回、IDATA-5のエッジ2回の4通りの状態のエッジの数に分類し、アダプティブに選択位相を決定する。

【0059】まず図10に示すエッジ数カウンタ1502で抽出クロック106に対して、エッジ数を計算する。その様子を図21に示す。同時にエッジ数カウンタ1502でエッジ2回の場合の選択相を決定する。その様子を図22に示す。また同時に立上りリタイミング位置決定回路1504で、立上りエッジ平均位相情報108とデューティ情報109に従い、図23に示すように立上りエッジ1回の場合の選択相を決定する。次に図24に示すように、セレクト信号作成回路1503でエッジ数で分類した4通りに従い、選択相を決定する。最後に図25に示すように、セレクタ回路1505でセレクト信号作成回路1503が出力する選択相情報S1501に従い、8相の位相比較後データより、1相を選択する。

【0060】また図11に示す識別データ選択回路の他の実施例では、立上りエッジ平均位相情報108、デューティ情報109より、固定的に選択相を決定する。条件判定回路1701では、図26に示すように、立上りエッジ平均位相情報108、デューティ情報109より選択相情報を決定する。次に図25に示すように、セレクタ回路1702でセレクト信号作成回路1701が出力する選択相情報S1701に従い、8相の位相比較後データより、1相を選択する。図2で示すように、フリップフロップで構成される識別回路10では、識別データ選択回路9が出力する選択後データを、N:1クロック選択回路5が出力する選択クロックでリタイミングし、出力する。

【0061】(第2の実施形態) 次に本発明の第2の実施形態について説明する。図27は、本発明の第2の実施形態を説明するためのブロック図であり、図1と同一符号は同一又は相当部分を示し、11はクロック多相化回路である。このクロック多相化回路11は、クロックを入力し、クロックを多相化する遅延量可変な遅延回路と、この遅延回路が出力するクロックと入力クロックの位相を比較することにより遅延量の調整信号を遅延回路に出力する制御回路とで構成されている(図示せず)。

【0062】次に第2の実施形態の動作について説明する。サンプリング回路1でデータを入力し、クロック多相化回路11からの多相クロックで位相サンプリングを

行う。次に位相比較回路2で、サンプリング回路1から出力されるサンプリングデータと、N:1クロック選択回路5が输出する選択クロックを入力して、位相比較を行う。

【0063】次に立上りエッジ検出回路6で、位相比較回路2が输出する位相比較後データ102より、立上りエッジを検出する。次に立上りエッジ位相平均計算回路7で、立上りエッジ検出回路6が输出する立上りエッジ情報より、立上りエッジ位相の平均値を算出する。N:1クロック選択回路5では、立上りエッジ位相平均検出回路7が输出する立上りエッジ平均位相情報108より、多相クロックの中から選択クロック106を選択する。立下りエッジ検出回路3では、位相比較回路2が输出する位相比較後データ102より立下りエッジを検出する。次に立下りエッジ位相平均計算回路4では、立下りエッジ検出部3が输出する立下りエッジ情報より、立下りエッジ位相の平均値を算出する。

【0064】デューティ判定回路8では、位相比較回路2が输出する位相比較後データ102よりデューティ値を検出する。識別データ選択回路9では、立下りエッジ位相平均計算回路4が输出する立下りエッジ平均位相情報104と、デューティ判定回路8が输出するデューティ情報より識別点を決定し、位相比較回路2が输出する位相比較後データ102より、決定した識別点に従い、データを選択する。識別回路10では、識別データ選択回路9が输出する選択後データ110を、N:1クロック選択回路5が输出する選択クロック106でリタイミングし、出力する。

【0065】

【発明の効果】本発明のディジタルPLL回路は以上説明したように、PLL回路内部でデューティ変動量を測定し認識できる構成とすることにより、大きなデューティ変動に対しても入力データを識別する識別点の決定にエラーが生じることなく、誤り無く識別リタイミングを行ったデータを出力できる。

【0066】また立下りエッジ位相平均計算回路と立上りエッジ位相平均計算回路とで、立上り、立下り両エッジの位相を平均化し、その情報を用いてクロック抽出を行う場合に、任意のビット間隔で追従速度を可変できるようにしたため、バースト毎に、位相、デューティ変動、ジッタ量が異なるバースト状のデータ信号を、その信号の先頭から数ビットでクロックを抽出し、且つジッタに対してもデータ信号をエラーなく識別でき、誤り無く識別リタイミングを行ったデータを出力できる等の効果がある。

【図面の簡単な説明】

【図1】 本発明の第1の実施形態を示すブロック図である。

【図2】 本発明の第1の実施例を示す図である。

【図3】 図2に示す立下りエッジ検出回路の一実施例

を示す図である。

【図4】 図2に示す立下りエッジ位相平均計算回路の一実施例を示す図である。

【図5】 図2に示す立上りエッジ検出回路の一実施例を示す図である。

【図6】 図2に示す立下りエッジ位相平均計算回路の一実施例を示す図である。

【図7】 図2に示すデューティ判定回路の一実施例を示す図である。

【図8】 本発明の第2の実施例を示す図である。

【図9】 図8に示すデューティ判定回路の一実施例を示す図である。

【図10】 識別データ選択回路の一実施例を示す図である。

【図11】 識別データ選択回路の他の実施例を示す図である。

【図12】 N:1クロック選択回路の一実施例を示す図である。

【図13】 立下りエッジエッジ位相平均計算回路のエンコーダの動作を示す図である。

【図14】 立下りエッジエッジ位相平均計算回路のエッジ数カウンタの動作を示す図である。

【図15】 立下りエッジエッジ位相平均計算回路が行う四捨五入の動作を示す図である。

【図16】 本発明のデューティの定義を示す図である。

【図17】 デューティ判定回路のデータ数カウンタの動作を示す図である。

【図18】 デューティ判定回路の立上り、立下りエッジ検出エンコーダの動作を示す図である。

【図19】 デューティ判定回路の動作を示す図である。

【図20】 識別データ選択回路の動作を示す図である。

【図21】 識別データ選択回路のエッジカウンタの動作を示す図である。

【図22】 識別データ選択回路のエッジデコーダの動作を示す図である。

【図23】 識別データ選択回路の立上り位置リタイミング決定の動作を示す図である。

【図24】 識別データ選択回路のセレクト信号作成動作を示す図である。

【図25】 識別データ選択回路のセレクト回路の動作を示す図である。

【図26】 識別データ選択回路の条件判定回路の動作を示す図である。

【図27】 本発明の第2の実施形態を示すブロック図である。

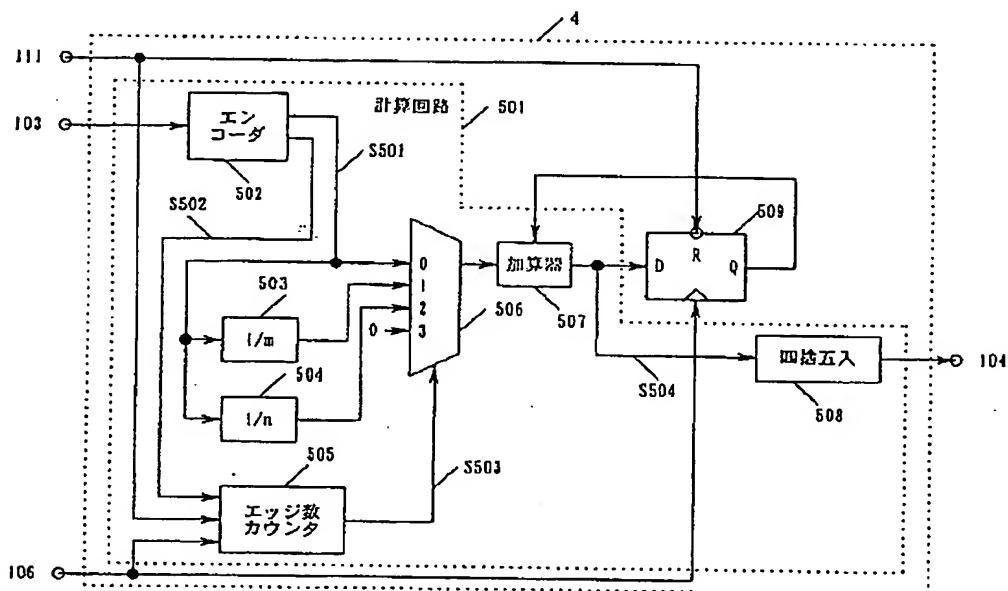
【図28】 先行出願に係るディジタルPLL回路を示す図である。

【符号の説明】

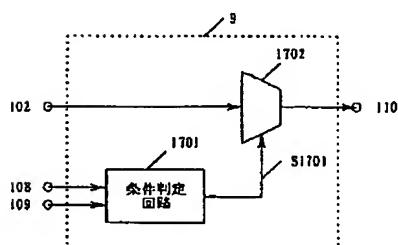
- 1 サンプリング回路
- 2 位相比較回路
- 3 立下りエッジ検出回路
- 4 立下りエッジ位相平均計算回路
- 5 N:1クロック選択回路
- 6 立上りエッジ検出回路
- 7 立上りエッジ位相平均計算回路
- 8 デューティ判定回路
- 9 識別データ選択回路
- 10 識別回路

- 101 サンプリングデータ
- 102 位相比較後データ
- 103 立下りエッジ情報
- 104 立下りエッジ平均位相情報
- 105 多相クロック
- 106 選択クロック
- 107 立上りエッジ情報
- 108 立上りエッジ平均位相情報
- 109 デューティ情報
- 110 選択後データ
- 111 リセットの各信号

【図4】



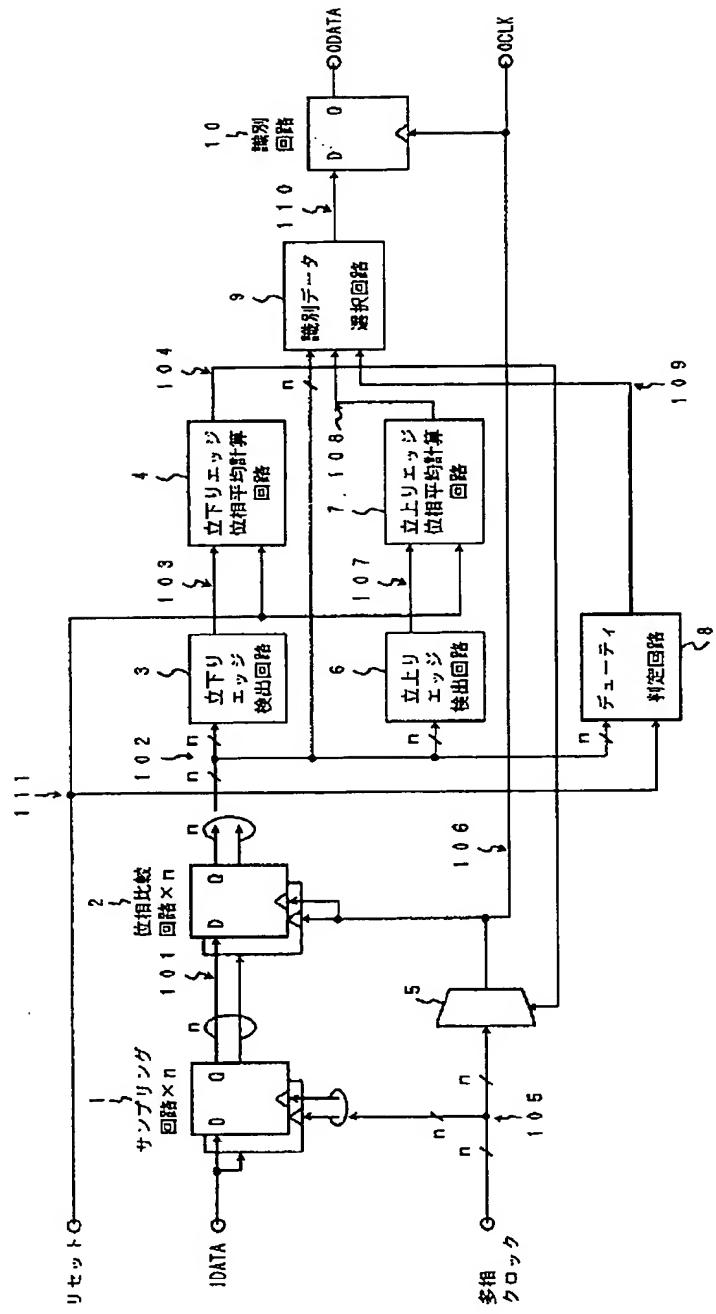
【図11】



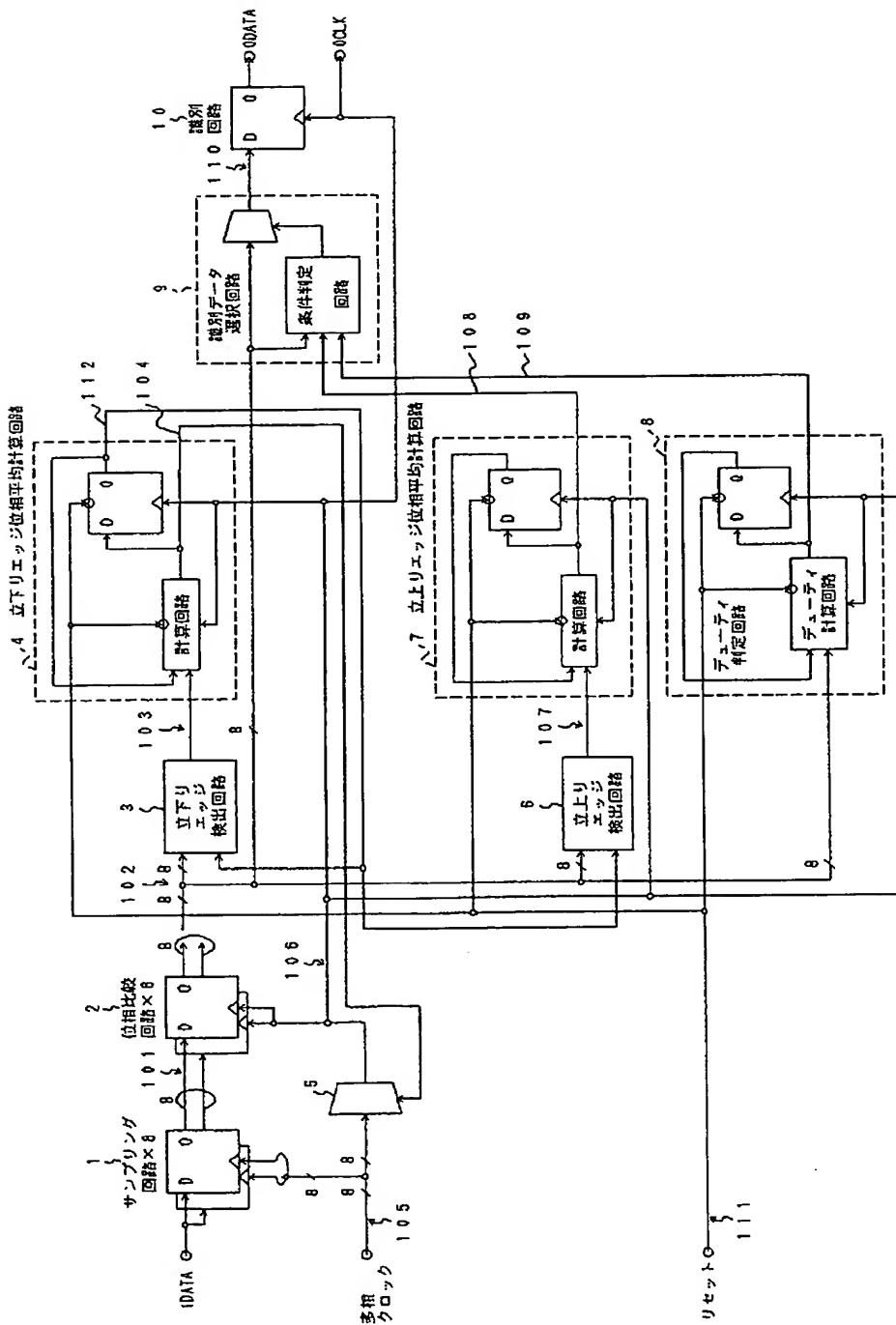
【図14】

111	106	S502 S902	S503 (尚値) S903 (尚値)	S503 S903
0	X	X	X	0
1		0	X	前値保持
1		1	0	1
1		1	1	2
1		1	2	3
1		X	3	3
1		X	X	前値保持

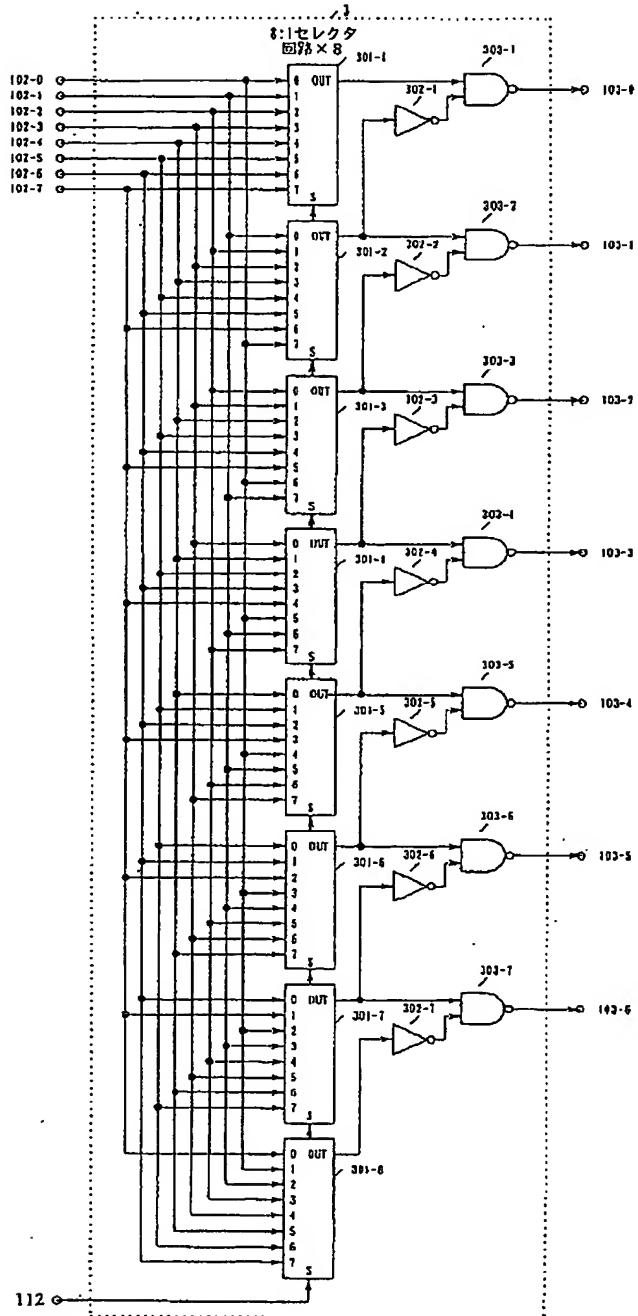
【図1】



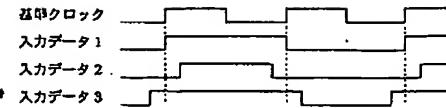
【図2】



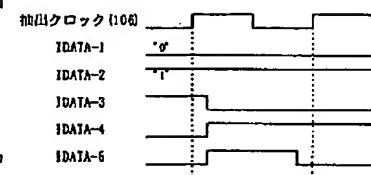
【図3】



【図16】



【図20】



【図21】

I02	S1504
エッジ数=0	0
エッジ数=1(立下り)	1
エッジ数=1(立上り)	2
エッジ数=2	3

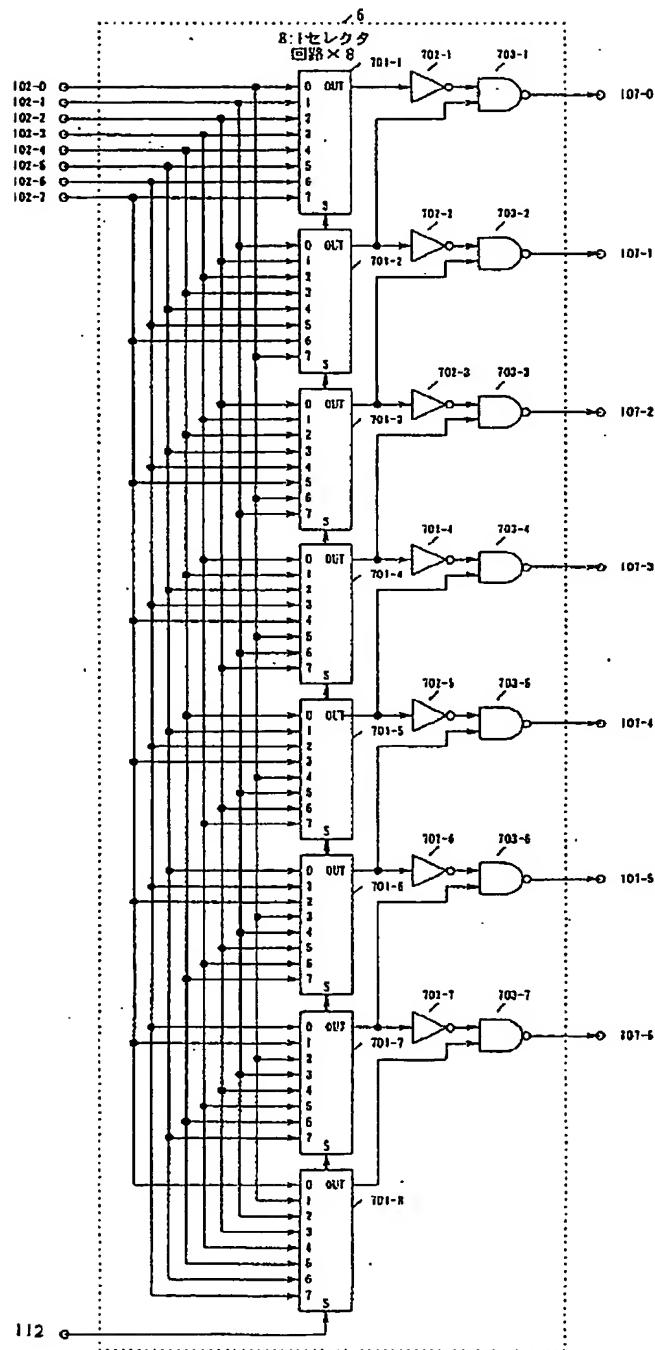
【図24】

S1507	S1501
0	00000000
1	00001000
2	S1504
3	S1503

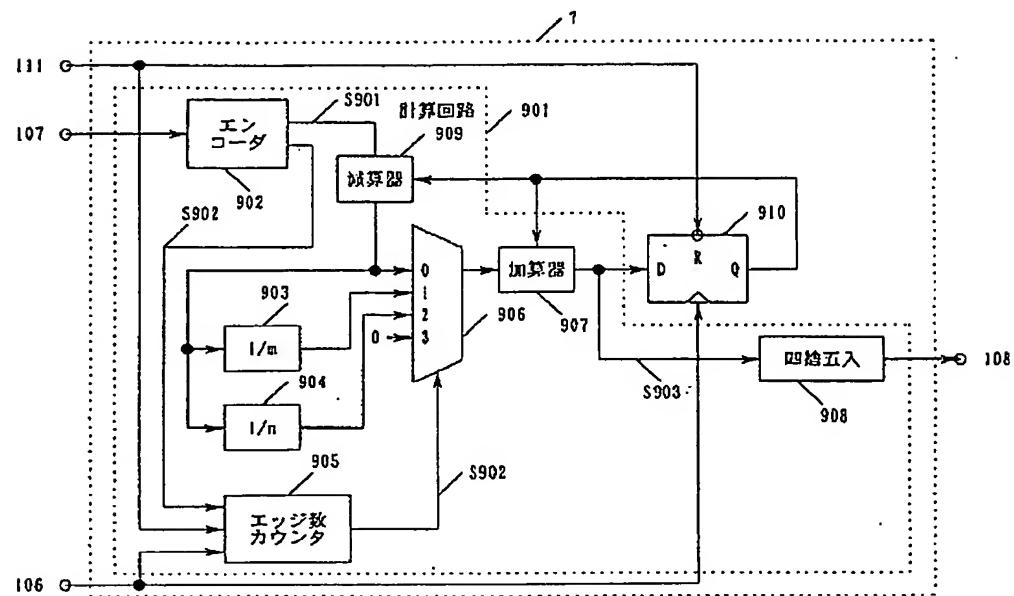
【図25】

S1501	I10
10000000	I02-0
01000000	I02-1
00100000	I02-2
00010000	I02-3
00001000	I02-4
00000100	I02-5
00000010	I02-6
00000001	I02-7

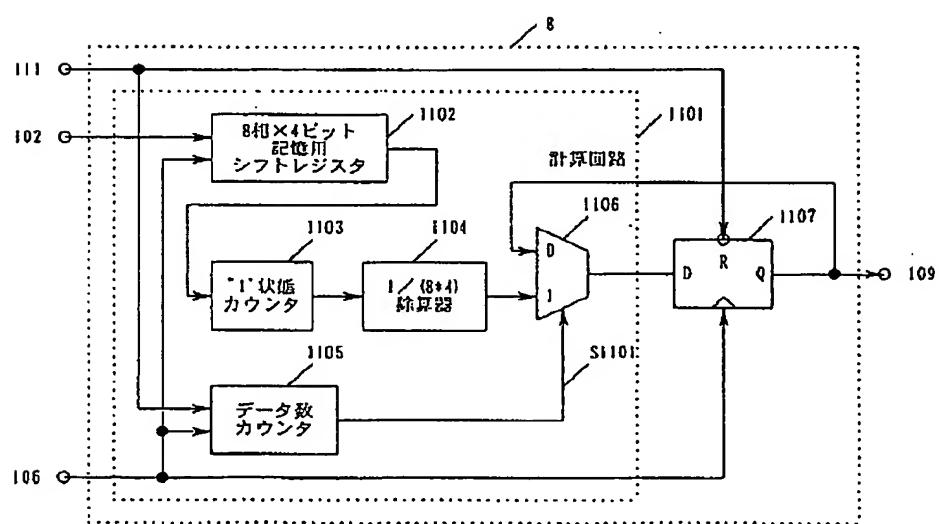
【図 5】



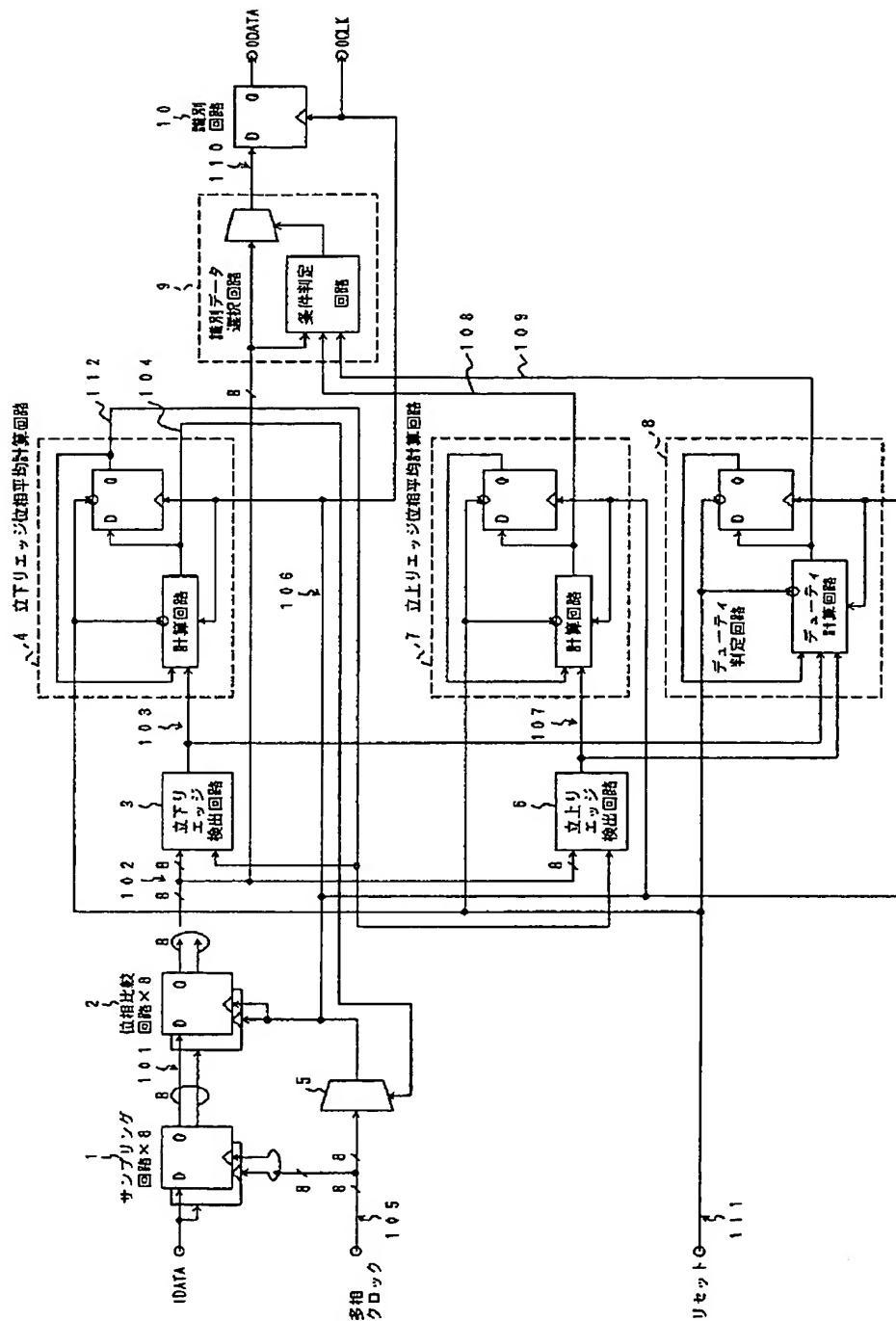
【図6】



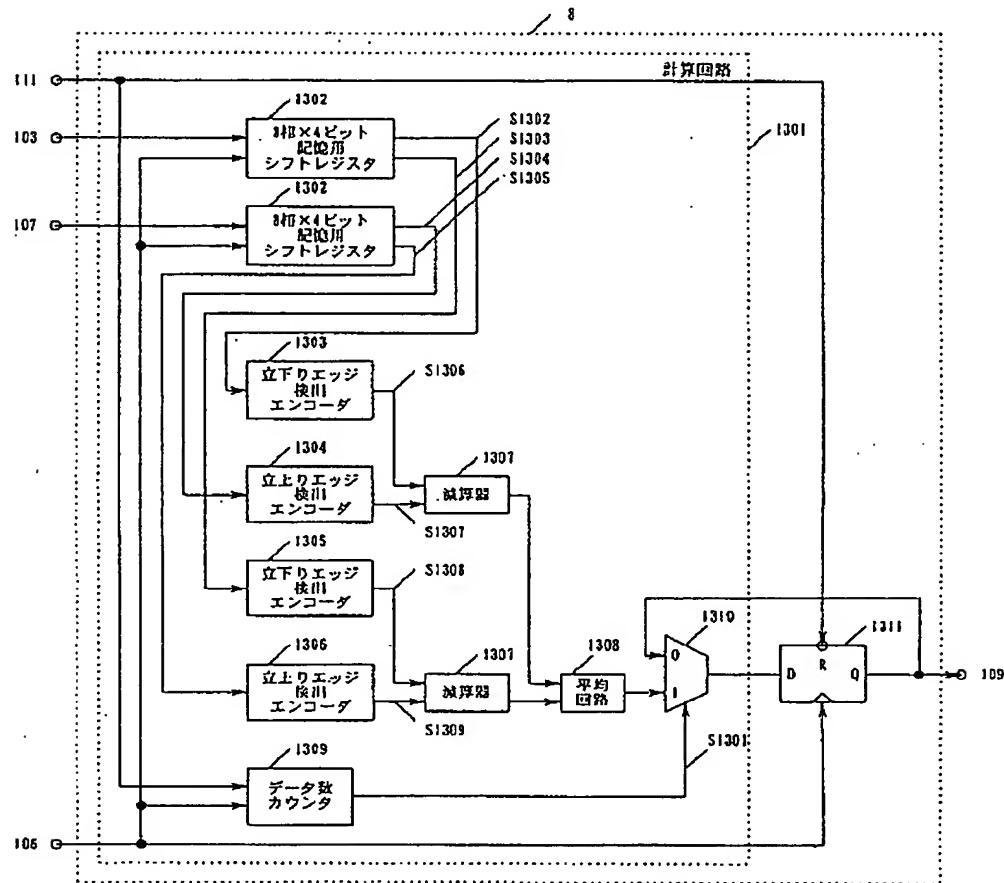
【図7】



【図8】



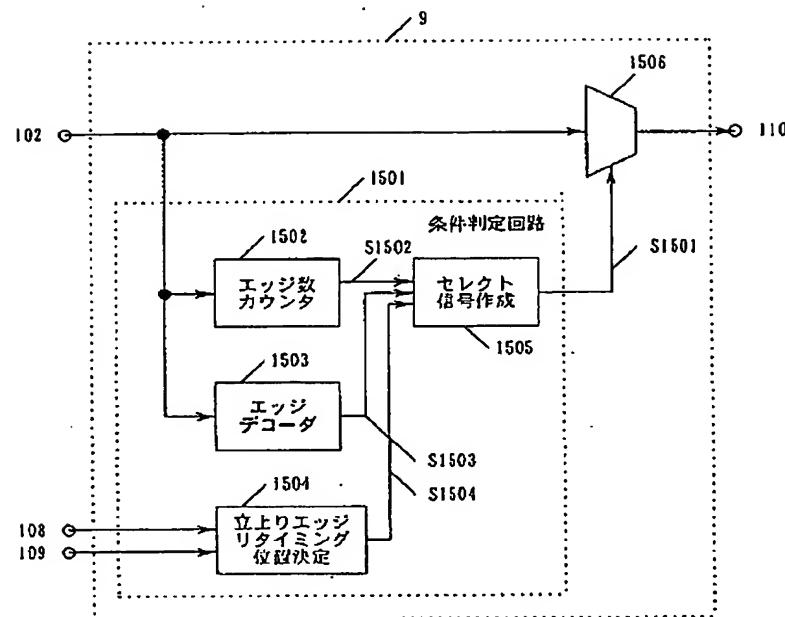
【図9】



【図13】

103-0	103-1	103-2	103-3	103-4	103-5	103-6	S501-2	S501-1	S501-0	S502
107-0	107-1	107-2	107-3	107-4	107-5	107-6	S901-2	S901-1	S901-0	S902
0	X	X	X	X	X	X	0	0	1	0
1	0	X	X	X	X	X	0	1	0	0
1	1	0	X	X	X	X	0	1	1	0
1	1	1	0	X	X	X	1	0	0	0
1	1	1	1	0	X	X	1	0	1	0
1	1	1	1	1	0	X	1	1	0	0
1	1	1	1	1	1	0	1	1	1	0
1	1	1	1	1	1	1	0	0	0	1

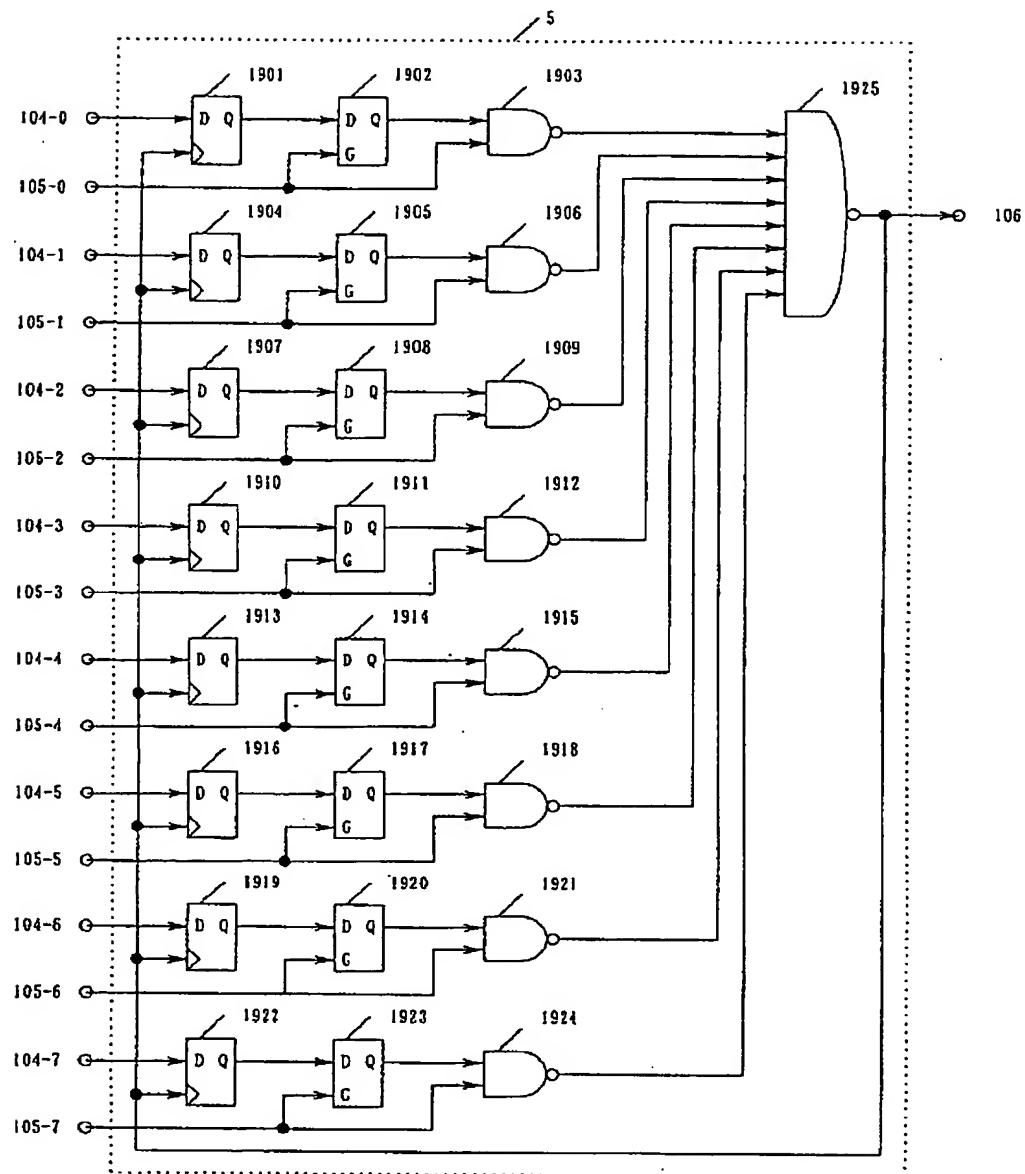
【図10】



【図17】

111	106	内部カウンタ (前値)	内部カウンタ	S1101 S1301
0	X	X	0	0
1		3 <	前値+1	0
1		3	4	1
1		4	4	0

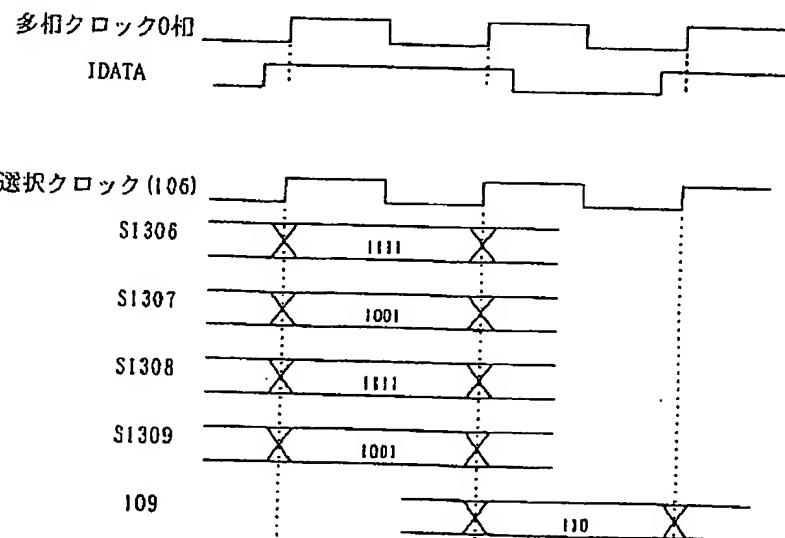
【図12】



【図15】

S504-2	S504-1	S504-0	S504-0.1	104-0	104-1	104-2	104-3	104-4	104-5	104-6	104-7
S904-2	S904-1	S904-0	S904-0.1	108-0	108-1	108-2	108-3	108-4	108-5	108-6	108-7
1	1	1	1	1	0	0	0	0	0	0	0
0	0	0	0	1	0	0	0	0	0	0	0
0	0	0	1	0	1	0	0	0	0	0	0
0	0	1	0	0	1	0	0	0	0	0	0
0	0	1	1	0	0	1	0	0	0	0	0
0	1	0	0	0	0	1	0	0	0	0	0
0	1	0	1	0	0	0	1	0	0	0	0
0	1	1	0	0	0	0	1	0	0	0	0
0	1	1	1	0	0	0	0	1	0	0	0
1	0	0	0	0	0	0	0	1	0	0	0
1	0	0	1	0	0	0	0	0	1	0	0
1	0	1	0	0	0	0	0	0	1	0	0
1	0	1	1	0	0	0	0	0	0	1	0
1	1	0	0	0	0	0	0	0	0	1	0
1	1	0	1	0	0	0	0	0	0	0	1
1	1	1	0	0	0	0	0	0	0	0	1

【図19】

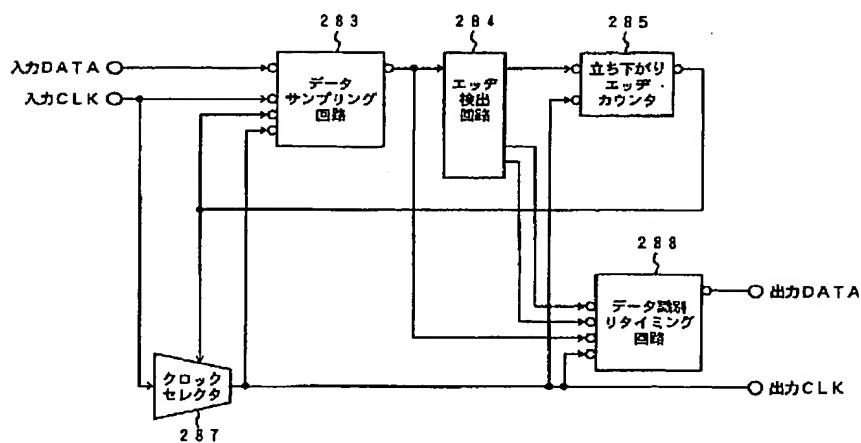


〔図18〕

【図22】

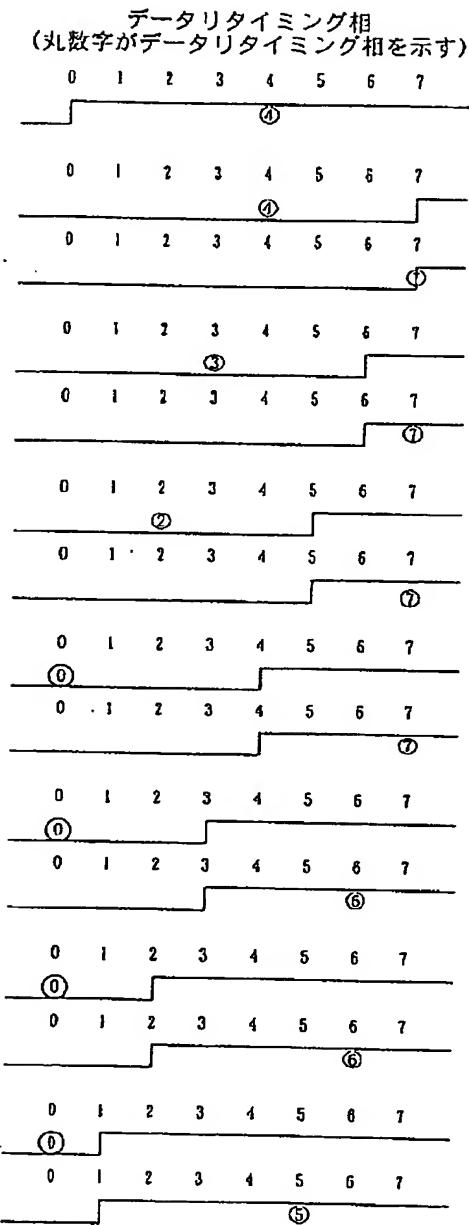
I03-0	I03-1	I03-2	I03-3	I03-4	I03-5	I03-6	I03-7	S1503-0	S1503-1	S1503-2	S1503-3	S1503-4	S1503-5	S1503-6	S1503-7
1	0	X	X	X	X	X	X	1	0	0	0	0	0	0	0
0	1	X	X	X	X	X	X	1	0	0	0	0	0	0	0
1	1	0	X	X	X	X	X	0	1	0	0	0	0	0	0
0	0	1	X	X	X	X	X	0	1	0	0	0	0	0	0
1	1	1	0	X	X	X	X	0	0	1	0	0	0	0	0
0	0	0	1	X	X	X	X	0	0	1	0	0	0	0	0
1	1	1	1	0	X	X	X	0	0	0	1	0	0	0	0
0	0	0	0	1	X	X	X	0	0	0	1	0	0	0	0
1	1	1	1	1	0	X	X	0	0	0	0	1	0	0	0
0	0	0	0	0	0	1	X	0	0	0	0	0	1	0	0
1	1	1	1	1	1	0	O	0	0	0	0	0	0	1	0
0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0
1	1	1	1	1	1	1	1	0	0	0	0	0	0	0	0
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1

【図28】



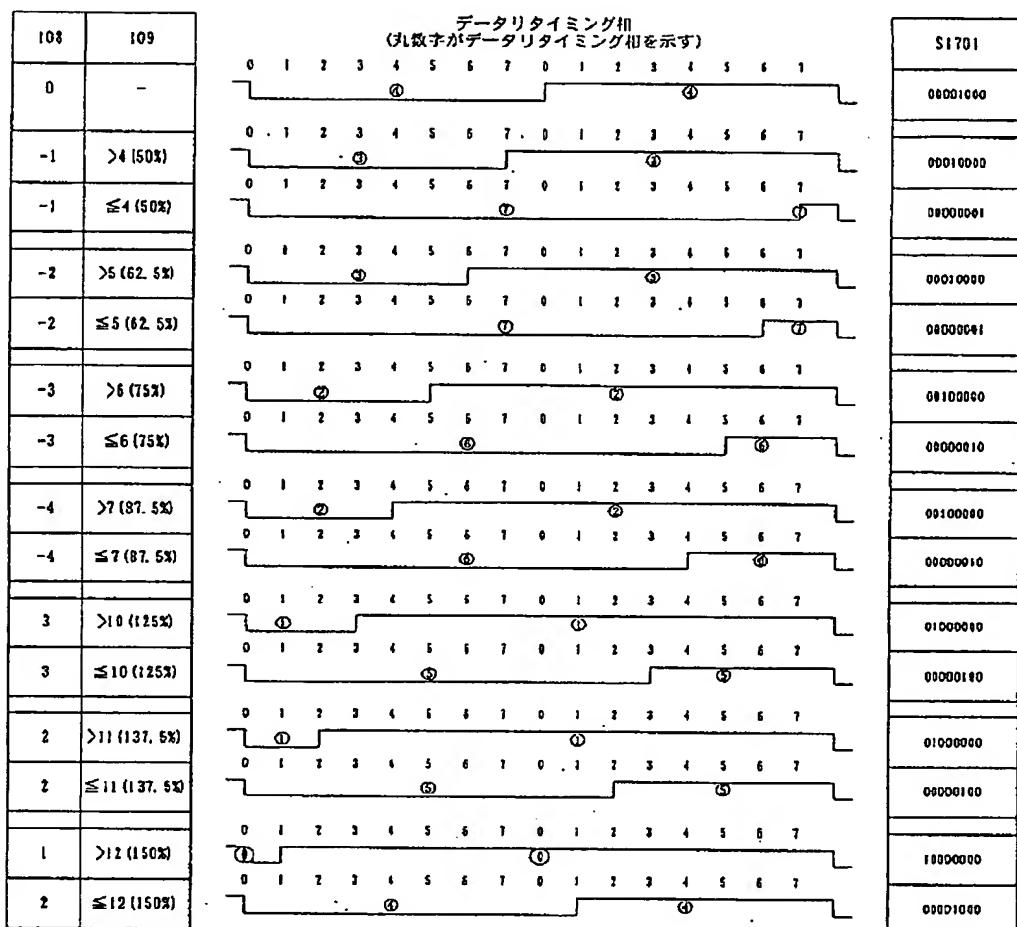
【図23】

108	109
0	-
-1	>4 (50%)
-1	≤ 4 (50%)
-2	>5 (62.5%)
-2	≤ 5 (62.5%)
-3	>6 (75%)
-3	≤ 6 (75%)
-4	>7 (87.5%)
-4	≤ 7 (87.5%)
3	>10 (125%)
3	≤ 10 (125%)
2	>11 (137.5%)
2	≤ 11 (137.5%)
1	>12 (150%)
2	≤ 12 (150%)

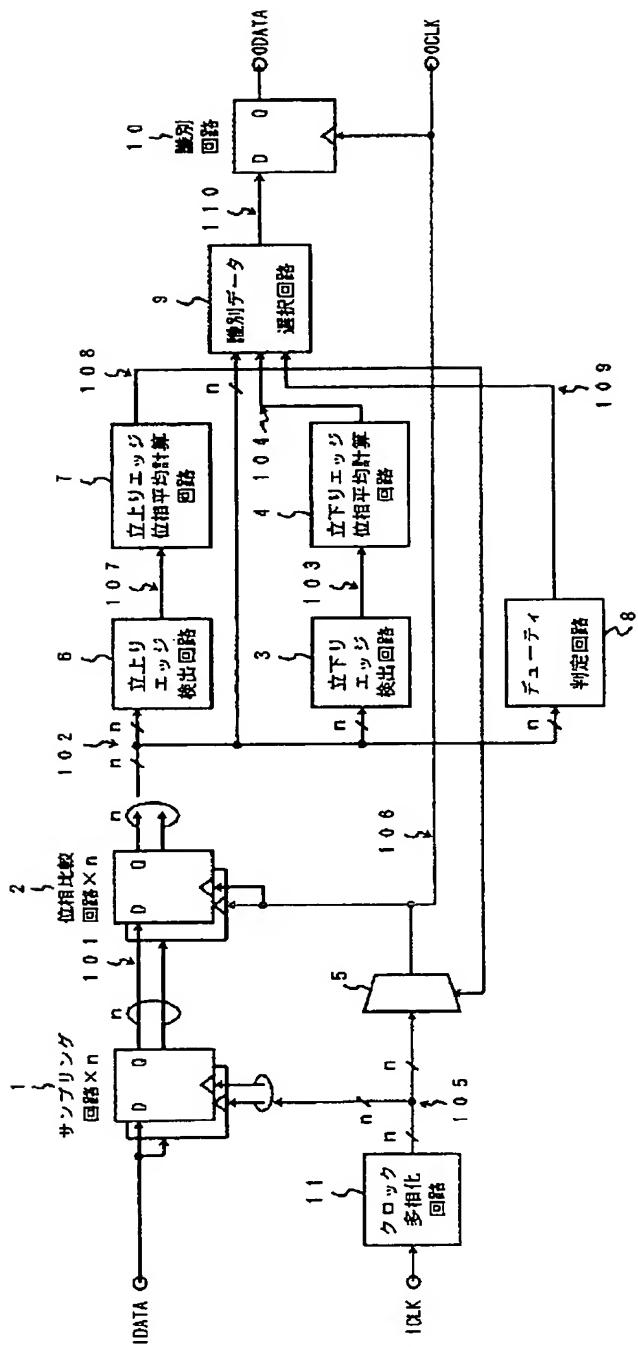


SI504
00001000
00001000
00000001
00010000
00000001
00100000
00000001
10000000
00000001
10000000
00000010
10000000
00000010
10000000
00000100

【図26】



【図27】



フロントページの続き

(72)発明者 佐藤 正樹

神奈川県川崎市中原区小杉町一丁目403番
地 日本電気テレコムシステム株式会社内

(72)発明者 村上 仁子

神奈川県川崎市中原区小杉町一丁目403番
地 日本電気テレコムシステム株式会社内

(72)発明者 馬場 光男
東京都港区芝五丁目7番1号 日本電気株
式会社内

(72)発明者 三神 潔
東京都港区芝五丁目7番1号 日本電気株
式会社内